

Problema 5.5 Para enviar información entre diferentes periféricos, ordenadores o usuarios se suele utilizar la misma línea de comunicación por más de un usuario (físicamente el mismo cable). Esto se consigue utilizando un protocolo de comunicaciones apropiado. El que se indica a continuación puede ser uno de ellos:

1. Se envía un código en el que se indica para qué usuario o periférico están destinados los datos que se envían. Este código se denomina cabecera.
2. A continuación se envían los datos que corresponden a este usuario, siendo el número de datos enviado siempre fijo.
3. Una vez finalizada la transmisión del paquete de información, cabecera más datos, se inicia un nuevo proceso.

Se desea diseñar el sistema de control de una transmisión por paquetes basándose en las siguientes especificaciones:

- **CABECERA:** la cabecera esta formada por cuatro bits. El primero indica el inicio de la transmisión mediante un 1 (bit de *start*), los dos siguientes indican el número de usuario, siendo el bit menos significativo el siguiente al bit de *start*, y el último sirve de control de la comunicación (bit de *stop*) indicando que la comunicación ha sido correcta si es un 1. Si es errónea el sistema activa

una señal E y espera a que finalice el envío de todos los datos para volver a comenzar una nueva comunicación.

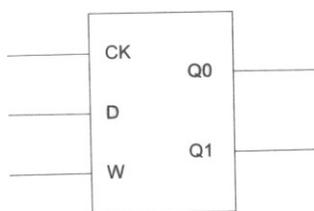
- La distribución de los datos que corresponden a cada usuario se realiza por un demultiplexor que está controlado por un registro de desplazamiento en el que el sistema de control escribe el número de usuario al que corresponde la información de la línea de transmisión.
- **DATOS:** el número de datos es fijo e igual a 16. A partir del dato 16 la información que se transmita será la cabecera de otro paquete de datos.
- Todos los bits son síncronos con el reloj del sistema.

Diseñe el sistema siguiendo los pasos que a continuación se detallan:

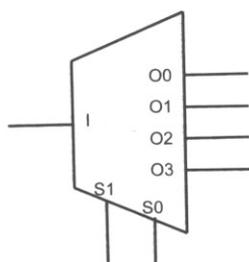
1. Arquitectura o diagrama de bloques del sistema.
2. Diseño electrónico de cada uno de los bloques que controlará la unidad de control.
3. Diagrama de estados de la unidad de control, explicando su funcionamiento.

Material disponible para la unidad de proceso:

- ▶ 1 CI contador 74HC191.
- ▶ Un registro de desplazamiento de 2 bits (véase la figura).
- ▶ Un demultiplexor (véase la figura).



CK	W	D	Q_0^{n+1}	Q_1^{n+1}
↑	0	X	Q_0^n	Q_1^n
↑	1	D	D	Q_0^n



S1	S0	I	O0	O1	O2	O3
0	0	I	I	0	0	0
0	1	I	0	I	0	0
1	0	I	0	0	I	0
1	1	I	0	0	0	I

Problema 5.8 Diseñe un sistema digital que reciba una entrada X y dos números A y B de 8 bits en paralelo, codificados en el sistema binario natural mediante el convenio de complemento a dos con bit de signo. Cuando la entrada X se pone a nivel alto indica el inicio del siguiente ciclo de operaciones:

- Memorizar ambos números A y B en los registros R1 y R2.
- Detectar la paridad de ambos números.
- Si ambos son de paridad par, realizar la operación $B - A$ y almacenar el resultado en un nuevo registro R3.
- Si cualquiera de los dos números es de paridad impar, realizar la diferencia $A - B$ y almacenar el resultado en R3.
- Tanto si se ha efectuado la operación $B - A$ como si se ha efectuado $A - B$, realizar la suma $A + B$ y almacenar el resultado en R2.

Cuando finaliza el ciclo completo deberá quedarse en disposición de realizarlo de nuevo en cuanto la entrada X vuelva a pasar a nivel alto.

Diseñe el sistema siguiendo los pasos que a continuación se detallan:

1. Arquitectura o diagrama de bloques del sistema.
2. Diseño electrónico de cada uno de los bloques que controlará la unidad de control.
3. Diagrama de estados de la unidad de control, explicando su funcionamiento.

Material disponible para la unidad de proceso:

- ▶ 1 CI 74HC280. Generador de paridad.
- ▶ 3 CI 74HC374. Registro de 8 bits.
- ▶ 2 CI 74HC283. Sumador de 4 bits.
- ▶ 6 CI 74HC157. Multiplexor.
- ▶ Puertas XOR.

Problema 5.9 La multiplicación de dos números binarios se puede convertir en una serie de desplazamientos y sumas consecutivas del multiplicando en función del multiplicador.

Diseñe un multiplicador de dos números de 4 bits (A y B) cuyo resultado se pueda representar en 8 bits. El circuito multiplicador dispone de una señal X que le indica que cargue los operandos y una salida F que indica el fin de operación. Esta señal se debe dejar activada hasta que se vuelva a activar la señal X indicando el comienzo de una nueva operación. La señal X tiene una duración mínima de un ciclo de reloj y máxima de 3. Para el diseño realice los siguientes pasos:

1. Arquitectura o diagrama de bloques del sistema.
2. Diseño completo de cada uno de los bloques que controlará la unidad de control.
3. Diagrama de estados de la unidad de control, explicando su funcionamiento.

Material disponible para la unidad de proceso:

- ▶ 3 CI 74HC194. Registro de desplazamiento de 4 bits.
- ▶ 2 CI 74HC283. Sumador de 4 bits.
- ▶ 1 CI 74HC273. Registro de 8 bits.
- ▶ El mínimo número de puertas AND y OR.

Problema 5.10 Para controlar el número de personas presentes en un local se pretende diseñar un dispositivo de control digital que impida la entrada cuando se supere un valor límite establecido por ocho microinterruptores.

La instalación dispone de dos células fotoeléctricas X e Y que permiten detectar la salida o entrada de personas y el sentido en que cruzan. Esta instalación cumple, además, una serie de requisitos necesarios para el funcionamiento del sistema:

- Existe un solo acceso que es a la vez entrada y salida.
- Las personas entran y salen de una en una y con una distancia mínima entre ellas suficiente. De ello se encarga el guarda de la puerta.
- Las células están dispuestas de forma que, ante el paso de una persona, no pueden cambiar nunca su estado simultáneamente, teniendo una duración mínima cada estado de un ciclo de reloj.

Se pide diseñar un circuito digital síncrono que indique cuando se ha alcanzado la capacidad máxima del local para que el guarda de la puerta impida el acceso a más personas (señal STOP).

Realice el diseño mediante los pasos siguientes:

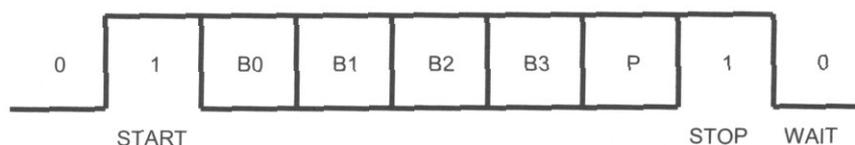
1. Diseñar el diagrama de bloques del circuito.
2. Diseñar cada bloque de la unidad de proceso utilizando exclusivamente el material disponible.
3. Dibujar el diagrama de estados de una máquina de Moore que cumpla con los requisitos del circuito de control, explicando claramente su funcionamiento.
4. Suponiendo la secuencia de entrada $XY = 00, 10, 00, 10, 10, 11, 01, 00, 00, 10, 11, 01, 00, 00, 01, 11, 10$ y suponiendo que el número de personas máximo es 2, realizar el diagrama de tiempos, donde se vean al menos todas las entradas, salidas y estados del circuito de control, así como el número de personas en el local.

Los nombres de las señales deben estar claramente identificados en el diagrama de bloques y en el de estados.

Material disponible para la unidad de proceso:

- ▶ 2 CI 74HC191 Contador de 4 bits.
- ▶ 2 CI 74HC85 Comparador de magnitud de 4 bits.

Problema 5.11 La comunicación entre dos sistemas electrónicos se realiza en serie, es decir, por un único cable se transmiten los datos y los bits de control de la comunicación. La entrada serie en el sistema receptor la denominaremos RX y es síncrona con el reloj del sistema, transmitiéndose un bit en cada ciclo de reloj. En la siguiente figura se puede ver el protocolo utilizado en la transmisión:



Se pide diseñar el circuito que comprueba si la comunicación es correcta e indica al sistema transmisor si se ha producido un error y si este error se ha cometido en la paridad, en el bit de STOP o en el WAIT. En el momento en que se detecta un error, el circuito transmisor siempre comienza de nuevo la transmisión poniendo la línea a 0. Realice el diseño mediante los siguientes pasos:

1. Arquitectura o diagrama de bloques del sistema.
2. Diseño completo de cada uno de los bloques que controlará la unidad de control.
3. Diagrama de estados de la unidad de control, explicando claramente el funcionamiento del sistema.

Material disponible para la unidad de proceso:

- ▶ 1 CI 74HC194. Registro de desplazamiento de 4 bits.
- ▶ Puertas XOR.

Problema 5.13 Se pretende diseñar un circuito de control para un sistema de comunicaciones cuyo trabajo consiste en leer datos de una memoria RAM de 256×8 bits y enviar la información leída a través de una línea de comunicación con un código de inicio de comunicación, otro de final y un código de comprobación (paridad) según la figura siguiente.



Este sistema de comunicaciones forma parte de otro sistema externo, de tal forma que los datos que quiere comunicar este sistema los transfiere a la memoria RAM.

La forma de funcionar es la siguiente:

- Espera a que el sistema externo escriba la información a transmitir en la memoria. Este le envía una señal C que se pone a uno cuando ha escrito todos los datos en la memoria.
- El sistema de comunicaciones comienza el proceso leyendo en la memoria RAM cada una de las palabras, halla el código de comprobación y transforma los datos de paralelo a serie.
- A través de otra línea de comunicación, señal D, el sistema receptor indica la recepción del dato completo que siempre se recibe correctamente.
- El fin de la comunicación de todos los datos se puede producir si se llega al final de la memoria o si se detecta un código de final de fichero, 27d (27 decimal). En ambos casos se transmite la última palabra y se indica al sistema externo que ha finalizado la comunicación a través de una señal F activa a nivel alto. El sistema externo no escribirá de nuevo en la memoria RAM hasta que no se active la señal F.

Diseñe el sistema siguiendo los pasos que a continuación se detallan:

1. Arquitectura o diagrama de bloques del sistema.
2. Diseño electrónico de los bloques que controlará la unidad de control.
3. Diagrama de estados de la unidad de control, explicando claramente su funcionamiento.

Material disponible para la unidad de proceso:

- ▶ 2 CI P93U422. Memorias de 256×4 bits.
- ▶ 1 CI 74HC280. Generador de paridad de 8 bits.
- ▶ 1 CI 74HC191. Contador binario de 4 bits.
- ▶ 2 CI 74HC166. Registro de desplazamiento de 8 bits.
- ▶ Puertas lógicas (las menos posibles).

Problema 5.17 El dato de la primera posición de una memoria EPROM de $8K \times 8$ indica el número de datos válidos escritos en dicha memoria a partir de la segunda posición (inclusive).

Diseñe un circuito digital síncrono capaz de grabar con un registro un dato que indique la cantidad de números pares escritos en la memoria EPROM mencionada. El sistema debe proporcionar una señal FIN a nivel alto cuando el dato haya sido almacenado.

Todos los contadores utilizados deben ser síncronos con el reloj del sistema.

Realizar el diseño mediante los pasos siguientes:

1. Diseñar el diagrama de bloques del circuito.
2. Diseñar cada bloque de la unidad de proceso utilizando exclusivamente el material disponible.
3. Diseñar claramente el diagrama de estados de una máquina de Moore que cumpla con los requisitos del circuito de control, explicando claramente su funcionamiento.
4. Realizar el diagrama de tiempos partiendo de un reset, donde se vean al menos todas las entradas, salidas y estados del circuito de control, así como los valores contenidos en los contadores y en el registro. Los nombres de las señales deben estar claramente identificados en el diagrama de bloques y en el de estados. El contenido de la memoria en las primeras posiciones es el siguiente: 03, 2F, 1A, 03, A8, B7, CA.

Material disponible para la unidad de proceso:

- ▶ 1 CI 27C64. Memoria EPROM de $8K \times 8$ bits.
- ▶ 1 CI 74HC374. Registro de 8 bits.
- ▶ 6 CI 74HC191. Contador binario de 4 bits.

Problema 5.23 Se dispone de dos buses de datos, A y B, de 16 bits cada uno por los que se transmiten en paralelo números en código binario natural. Un circuito digital debe almacenarlos, compararlos y transmitir por una única línea serie S el mayor de ambos números. Una señal ENABLE indica con un 1 la validez de los datos de entrada. Una señal CTRL activa a nivel alto debe indicar el comienzo y el fin de la transmisión. Diseñe el circuito digital síncrono que realice todo el proceso y que cumpla las siguientes especificaciones:

- La señal ENABLE solamente dura un ciclo de reloj y no se volverá a activar hasta que el circuito transmita el dato completamente.
- Los buses de datos A y B serán válidos al menos durante dos ciclos de reloj después de haberse desactivado la señal ENABLE.
- La señal CTRL debe activarse justo antes de comenzar la transmisión y justo después de finalizarla. En ambos casos debe durar un único ciclo completo de reloj.
- La transmisión serie debe ser síncrona con el reloj. El primer bit en transmitirse será el bit menos significativo. Mientras no se transmitan datos la línea serie debe permanecer a nivel bajo.

Realice el diseño mediante los pasos siguientes:

1. Diseñar el diagrama de bloques del circuito.
2. Diseñar cada bloque de la unidad de proceso utilizando exclusivamente el material disponible.
3. Diseñar el diagrama de estados de una máquina de estados que cumpla con los requisitos del sistema, explicando claramente su funcionamiento e identificando las señales de control del diagrama de bloques. El máximo número de estados es de 8.

Material disponible para la unidad de proceso:

- ▶ 4 CI 74198. Registro de desplazamiento 8 bits.
- ▶ 4 CI 7485. Comparador de 4 bits.
- ▶ 1 CI 74157. Multiplexor 2:1 de 4 bits.
- ▶ 1 CI 74191. Contador binario de 4 bits.

Problema 5.34 Un procedimiento para encontrar el valor máximo (M) de un serie de números N ($0, \dots, n$) consiste en suponer que el primer valor es el máximo, $M = N_0$, e ir comparando éste respecto a los valores siguientes de la serie hasta encontrar un valor superior a M , en cuyo caso el valor M es sustituido por el nuevo valor. De esta forma, al finalizar la serie, el contenido de M corresponde al valor máximo de la serie.

Se desea desarrollar un circuito digital que obtenga el valor máximo del contenido de una memoria EPROM de 64 bytes. Para ello el circuito dispondrá de una entrada asíncrona de INICIO que indicará cuando se debe iniciar el cálculo al pasar de cero a uno y a su vez el circuito generará como salidas el valor máximo del contenido de la memoria así como una señal FIN activa a nivel alto que indica que el cálculo ha finalizado. Se pide:

1. Diseñar el diagrama de bloques del circuito, detallando las señales que interconecta cada uno de los bloques.
2. Diseñar de forma detallada cada uno de los bloques que forma la unidad de proceso utilizando exclusivamente el material disponible.
3. Diseñar el diagrama de estados de la unidad de control del sistema suponiendo que se trata de una máquina MOORE. Identificar claramente cuales son los valores de las entradas y salidas de cada estado y explicar el funcionamiento del circuito en cada estado.
4. Dibujar en la hoja adjunta un diagrama de tiempos del circuito en el cual aparezcan todas las señales del circuito diseñado y el estado de la unidad de control, suponiendo que la memoria tiene grabados los valores 10H, 8H, 42H y 35H en las 4 primeras posiciones y el resto son 00H excepto la última que tiene FFH.

Material disponible para la unidad de proceso:

- ▶ Una memoria EPROM de 64 bytes.
- ▶ 1 CI 74HC191. Contador binario de 4 bits.
- ▶ 1 CI HEF4027B. 2 flip-flops JK.
- ▶ 1 CI 74HC273. Registro de 8 bits con reset.
- ▶ 2 CI 74HC85. Comparador de 4 bits.
- ▶ Puertas elementales.

Problema 5.36 Una máquina expendedora de productos alimenticios dispone de diferentes sistemas electrónicos para su correcto funcionamiento. Entre ellos está el sistema monedero, en el que se van acumulando las monedas a medida que el usuario las introduce. El monedero dispone de un sensor que analiza la moneda y, si es válida, envía un pulso (MONEDA) cuya anchura es proporcional al número de monedas de 5c€ equivalentes al valor de la moneda (véase la tabla siguiente).

Moneda	Anchura pulso CLK	Equivalente 5c€
5 c€	1	1
10 c€	2	2
20 c€	4	4
50 c€	10	10

Además, la máquina expendedora proporciona una señal (PRODUCTO) que se activa a uno cuando el usuario selecciona un nuevo producto. Esta señal estará a uno duran-

te un ciclo de reloj y no se volverá a activar hasta que el monedero reciba la señal ACEPTADO.

Por otra parte, un circuito de control debe proporcionar al monedero la señal ACEPTADO, activa a nivel alto durante un ciclo de reloj, que indica que ya se ha recibido el importe, igual o superior, al del producto seleccionado. En este momento, el monedero envía todas las monedas acumuladas a la caja de recaudación de la máquina y queda vacío a la espera de nuevas monedas correspondientes a un nuevo producto. Tanto el monedero como el circuito de control reciben la señal CLK que es el reloj del sistema. La señal MONEDA es síncrona con este reloj y existen, al menos, cinco ciclos de reloj entre dos monedas consecutivas.

El usuario seleccionará el producto e irá introduciendo las monedas hasta que la máquina le suministre el producto. La máquina acepta un máximo de 12,75€, cantidad suficiente para pagar cualquier producto. Las monedas válidas son las de 5c€, 10c€, 20c€ y 50c€ y no devuelve cambios.

Se pide diseñar el circuito de control basándose en una máquina de estados que partiendo del precio del producto en monedas equivalentes de 5c€ (P[7..0]) y las señales MONEDA y PRODUCTO, contabilice el valor de las monedas y establezca si se ha llegado o no al precio del producto seleccionado para así generar la señal ACEPTADO necesaria para el monedero.

Realice el diseño mediante los siguientes pasos:

1. Diseñar el diagrama de bloques del circuito, detallando las señales que interconecta cada uno de los bloques.
2. Diseñar de forma detallada cada uno de los bloques que forman la unidad de proceso utilizando exclusivamente el material disponible.
3. Diseñar el diagrama de estados de la unidad de control del sistema suponiendo que se trata de una máquina MOORE. Identificar claramente cuales son los valores de las entradas y salidas de cada estado y explicar el funcionamiento del circuito en cada estado.
4. En base al diseño realizado finalizar el diagrama de tiempos siguiente añadiendo todas las señales del circuito diseñado así como los estados de la unidad de control.

Material disponible para la unidad de proceso:

- ▶ 1 CI 74HC191. Contador binario de 4 bits.
- ▶ 1 CI 74FCT823. Registro de 9 bits.
- ▶ 2 CI 74HC283. Sumador de completo de 4 bits.
- ▶ 2 CI 74HC85. Comparador de 4 bits.

