

Práctica 4: Diseño de circuitos con dispositivos lógicos programables

Objetivos:

- Analizar el funcionamiento de los distintos tipos de dispositivos lógicos programables: memorias ROM, PAL, PLDs, CPLDs, etc.
- Diseñar circuitos con dispositivos lógicos programables
- Utilizar herramientas de CAD para la programación de los dispositivos lógicos.
- Montar y comprobar sistemas con dispositivos lógicos programables

NOTA: salvo que se indique lo contrario, los circuitos podrán realizarse con PAL16V8, PAL22V10, alguna EPROM, Lattice ispMACH4A532/32, Xilinx XC9536 usándose el menor dispositivo posible

Actividad 1: realización de un decodificador binario a 7 segmentos

1. Con una PAL16V8 o 22V10 (el menor dispositivo posible), realizar un decodificador BCD a 7 segmentos con entradas activas a nivel alto y salidas activas a nivel bajo y que represente los números del 0 al 9 y las letras de la A a la F correspondientes a las 15 combinaciones binarias.
2. Probar el circuito diseñado, comprobando su funcionamiento en distintos casos.

(se sugiere usar una tabla en ABEL).

Actividad 2: realización de un contador divisor por N

1. Diseñar un contador divisor por N, donde N es un número entre 0 y 255 seleccionable mediante entradas de control del circuito ($n_7..n_0$). El circuito contará de 0 a N, al ritmo de una entrada de reloj CLK, y generará una salida Q, de forma que para $Q < N/2 \rightarrow Q=0$, y para $Q \geq N/2 \rightarrow Q=1$ (una señal cuadrada de periodo $N \cdot T_{CLK}$).
2. Probar el circuito diseñado para distintos valores de N

Actividad 3 (opcional): Realización de un detector de paridad

1. Diseñar un generador/detector de paridad de números de 8 bits, seleccionando el PLD que se crea conveniente, intentando utilizar el más sencillo posible de todos los disponibles.
2. Probar el circuito con distintas combinaciones de entrada comprobando su funcionamiento.
3. (opcional) Realizar el circuito con una EPROM, y verificar su funcionamiento

(se sugiere usar esquemáticos o ecuaciones ABEL)

Actividad 4 (opcional): realización de un comparador

1. Realizar un comparador de dos números de 10 bits
2. Probar el circuito diseñado, comprobando su funcionamiento en distintos casos.

(se sugiere usar ecuaciones en ABEL)

Actividad 5 (opcional): realizar un reloj basado en ATF1502.

Usando el kit de desarrollo de ATMEL ATF15XX-DK2, realizar un reloj que muestre minutos y segundos usando 4 de los displays de 7 segmentos.

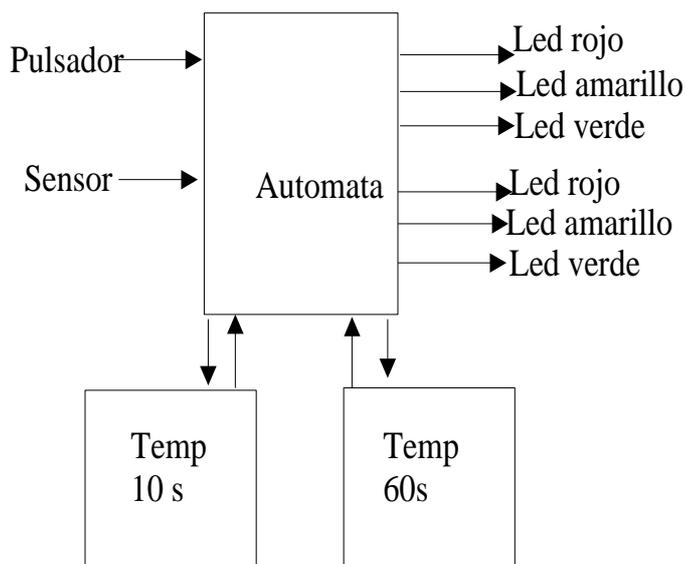
Para la realización se realizará la programación con ispLEVER seleccionando algún dispositivo de Lattice similar al ATF1502, y una vez realizado el diseño, desde línea de comandos, se aplicará el fitter FIT1502.EXE al fichero .TT2 generado por ispLEVER (ejecutar: `fit1502 -i mifichero.tt2 -device P1502`)

Actividad 6: Implementación de un autómata con PLD

*****NOTA: este circuito no se desmontará una vez montado, ya que se podrá usar en el examen de prácticas*****

Se va a implementar el autómata para el control de un cruce con entre dos calles de una sola dirección (una principal con bastante tráfico y una secundaria con poco tráfico) regulada por semáforos, con las siguientes características:

- La vía principal tiene un semáforo, que estará habitualmente en verde para los coches.
- La vía secundaria tiene un semáforo que estará habitualmente en rojo para los coches.
- La vía principal está atravesada por un paso de peatones.
- Cuando un peatón quiere cruzar, accionará un pulsador, pasados 60s de la pulsación el semáforo de la vía principal pasará a ámbar, y pasados 10s más, pasará a rojo, pasando el de la vía secundaria a verde. Permanecerán así durante 60s, transcurridos los cuales, el semáforo de la vía secundaria pasará a ámbar y 10s después pasará a rojo, a la vez que el semáforo de la vía principal pasa a verde.
- Cuando un coche se para delante del semáforo en la vía secundaria, un sensor lo detectará y se activará. Cuando el sensor se active, ocurrirá una secuencia igual que la descrita anteriormente, pero con otra temporización: inmediatamente, el semáforo principal se pone en ámbar, a los 10s pasan a SP=R SS=V, en otros 10s pasan a SP=R SS=A, en otros 10s pasan a SP=V SS=R.



Para la realización dispondremos de un reloj de 1s. El autómata se realizará con una PAL/PLD y

los temporizadores con dispositivos integrados (no PAL).

1. Diseñar los temporizadores de forma que tengan una salida FINDECUENTA y una entrada INICIALIZACION, activas a nivel alto o bajo, según se decida.
2. Realizar la programación del autómata mediante el diagrama de estados con Lattice ispLEVER.
3. Seleccionar un dispositivo y programarlo.
4. Montar el circuito en una placa y comprobar su funcionamiento.
5. (opcional) sustituir los dos temporizadores por otros dos PLDs.
6. (opcional) realizar el autómata con una PROM y biestables.

Fechas de realización:

15, 17, 20, 21 y 22 de Febrero

Fecha límite de entrega de la memoria: **Miércoles 1 de Marzo**

La memoria deberá incluir, como mínimo:

- Esquemas de todos los circuitos montados
- Funciones desarrolladas, con su justificación, simplificación, etc.
- Diagramas de estados desarrollados.
- Listados de la programación de cada dispositivo.
- Observaciones y comentarios