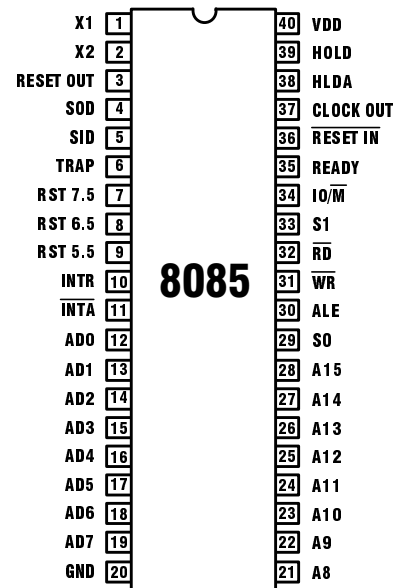


# Microprocesador 8085 de Intel

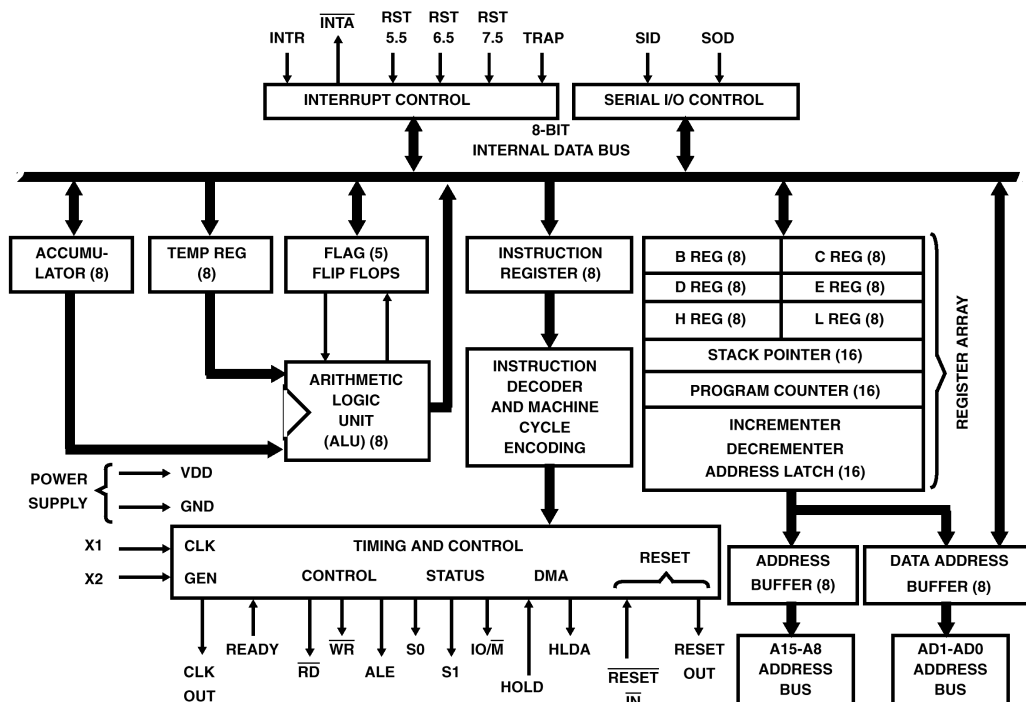
## Introducción:

- Microprocesador de 8 bits (1973).
- Reloj oscilador interno. Sólo precisa un oscilador de cuarzo externo.
- Alimentación única de 5 Voltios.
- Posee 74 instrucciones.
- 4 entradas de interrupciones vectorizadas.
- Encapsulado DIL de 40 pines.



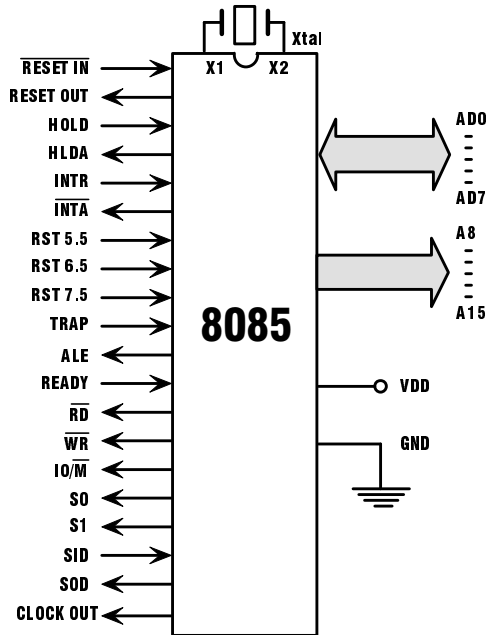
## Estructura interna del 8085

## Diagrama de bloques:

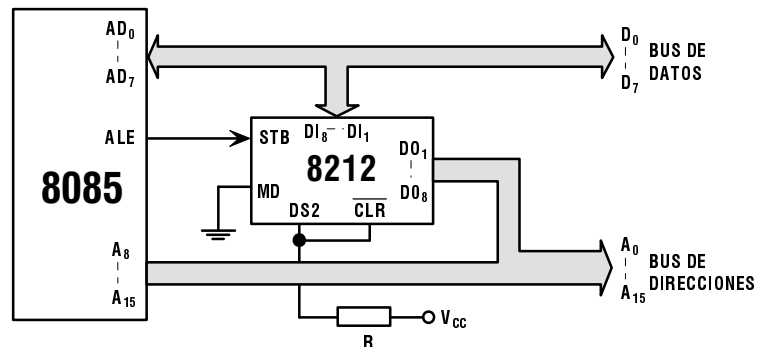


# Buses y líneas de control del 8085

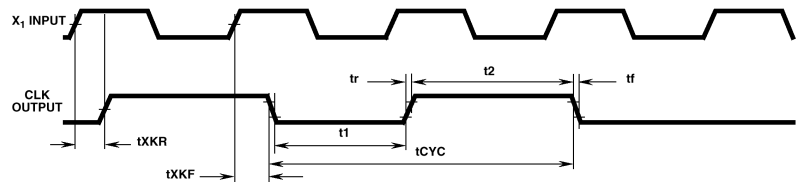
## ■ Arquitectura externa:



## ■ Demultiplexado de datos y direcciones:

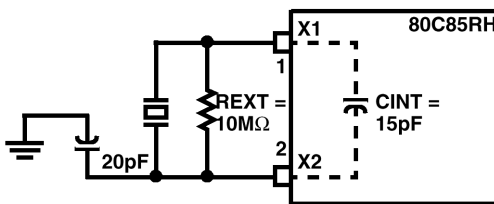


## ■ Señal de reloj:

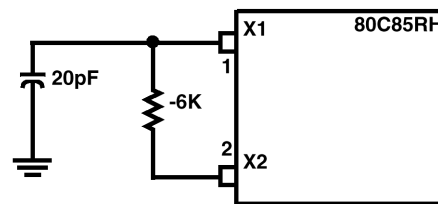


# Circuitos de reloj para el 8085

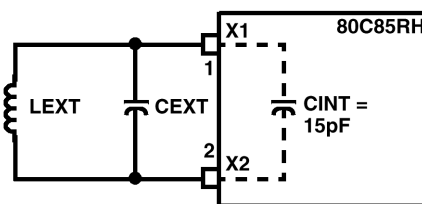
## ■ Los circuitos utilizados pueden ser:



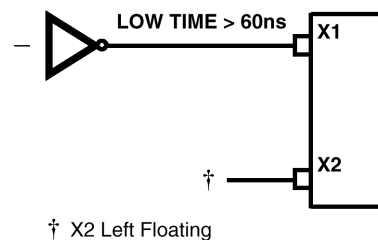
a.) QUARTZ CRYSTAL CLOCK DRIVER



c.) RC CIRCUIT CLOCK DRIVER



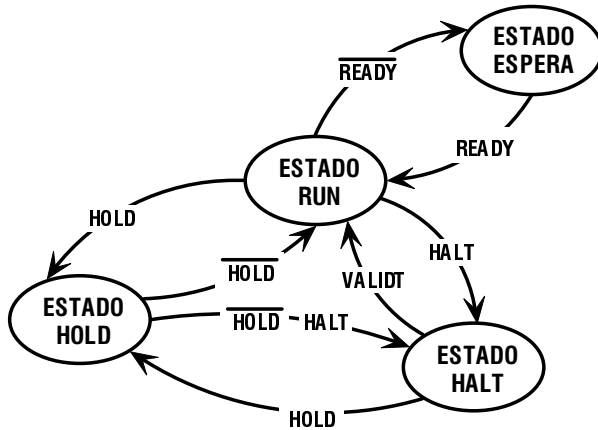
b.) LC TUNED CIRCUIT CLOCK DRIVER



d.) 0-4MHz INPUT FREQUENCY EXTERNAL CLOCK DRIVER CIRCUIT

# Estados y ciclos de máquina del 8085

## ■ Diagrama de estados:



## ■ Ciclos de Máquina:

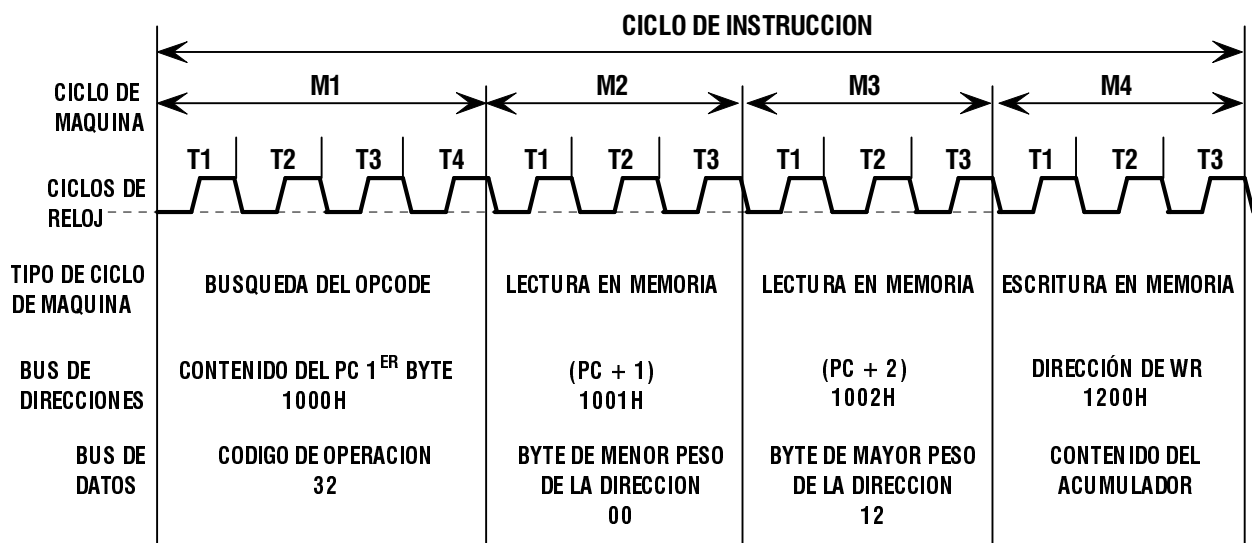
Ciclo de Instrucción → Ciclos de Máquina → Ciclos de Reloj

MACHINE CYCLE			STATUS			CONTROL		
			IO/M	S1	S0	RD	WR	INTA
Opcode Fetch (OF)			0	1	1	0	1	1
Memory Read (MR)			0	1	0	0	1	1
Memory Write (MW)			0	0	1	1	0	1
I/O Read (IOR)			1	1	0	0	1	1
I/O Write (IOW)			1	0	1	1	0	1
Acknowledge of INTR (INA)			1	1	1	1	1	0
Bus Idle (BI)	DAD		0	1	0	1	1	1
	Ack. of							
	RST, TRAP		1	1	1	1	1	1
HALT			TS	0	0	TS	TS	1

# Diagrama de tiempos y secuenciamiento

## ■ Ejemplo de ejecución de la instrucción:

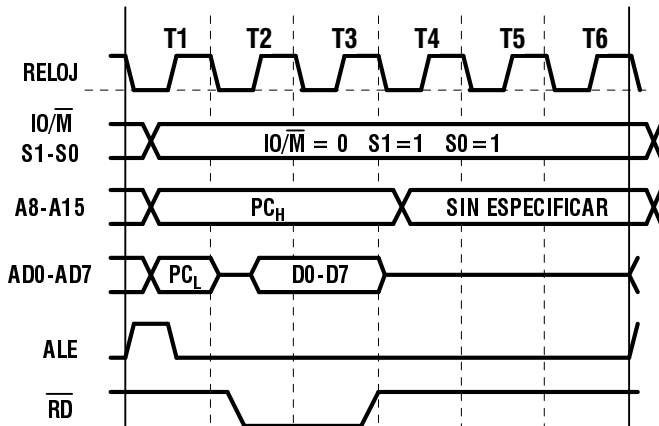
1000H: STA 1200H (almacenada en la posición 1000H)



# Ciclos de Fetch y Read

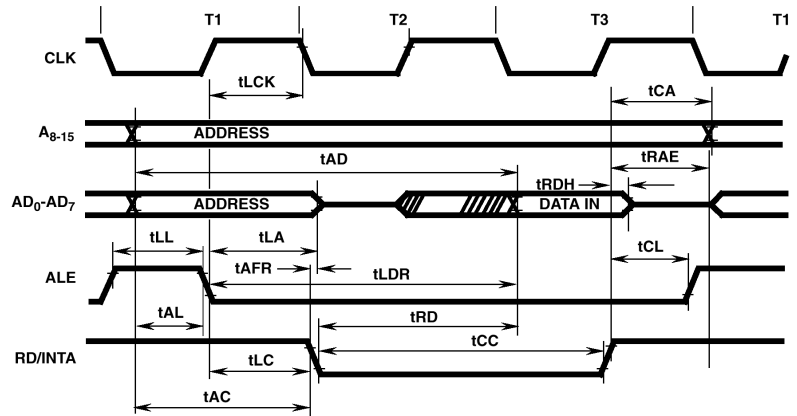
## ■ Ciclo de Fetch:

- 4 ó 6 ciclos de reloj.
- T1: Demultiplexación Data/Addr.
- T3: OpCode al Registro de Instrucción (final del ciclo).
- T4: Decodificación de la Instrucc.



## ■ Ciclo de Read:

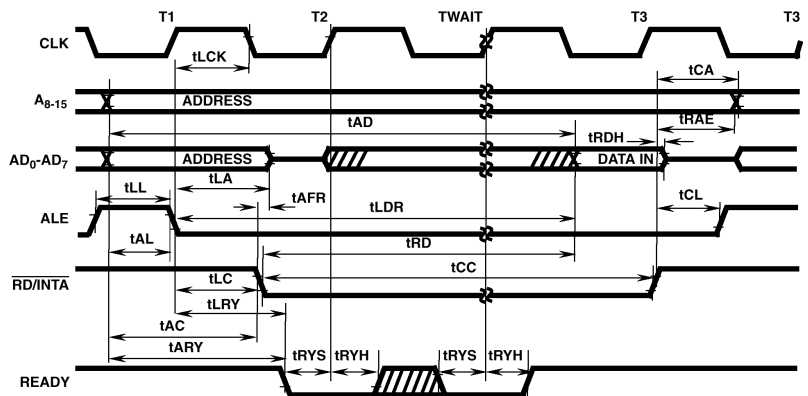
- 3 ciclos de reloj.
- T1: Demultiplexación Data/Addr.
- T3: El dato está disponible en el bus.



# Ciclo de Escritura

## ■ Ciclo de Read (Not Ready):

- Señal READY a nivel bajo. Indica Memoria o I/O no preparado.
- El  $\mu$ p inserta ciclos de espera: TWAIT.



## ■ Ciclo de Write:

- 3 ciclos de reloj.
- T1: Demultiplexación Data/Addr.
- T2 y T3: El dato está presente en el bus.

